Computer Architecture

~Lab 09~

2013210111 남세현

1. 목표

32bit Multi cycle Processor 만드는 것이 목표입니다.

1. 구현
   1. 와이어링

PT자료에 있는 KUSTAR의 diagram처럼 wire를 연결해줍니다

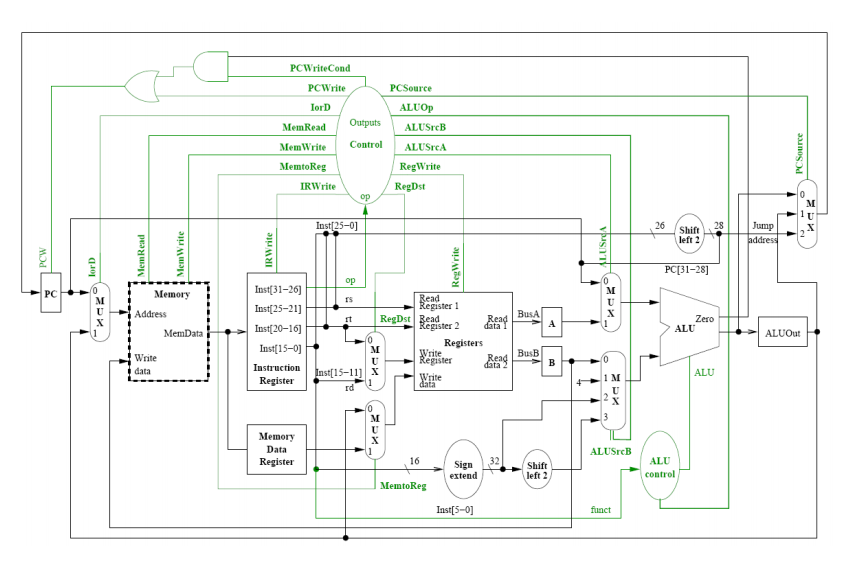


Figure 1 : KUSTAR Diagram

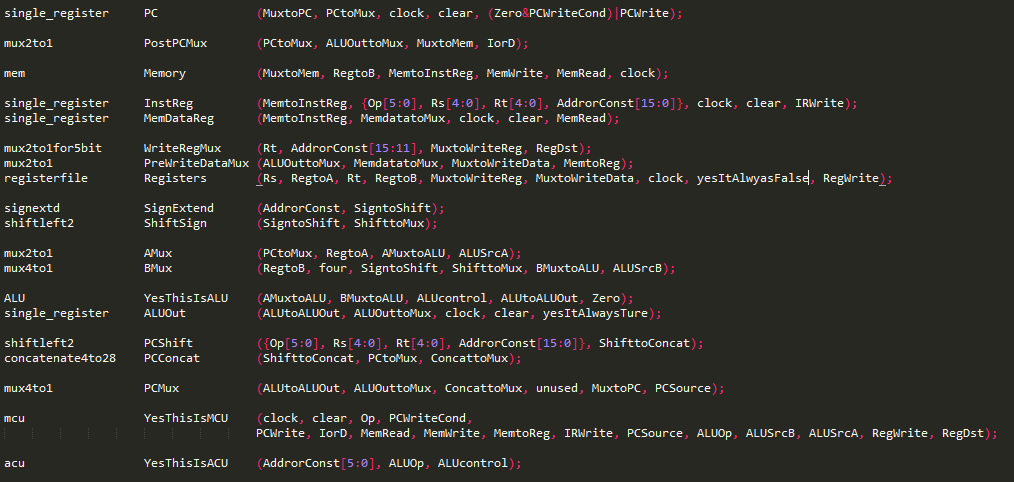


Figure 2 : KUSTAR Wireing in Verilog

* 1. Control Unit
     1. FSM

Current State와 Next State를 관리하여 FSM을 만들어줍니다.

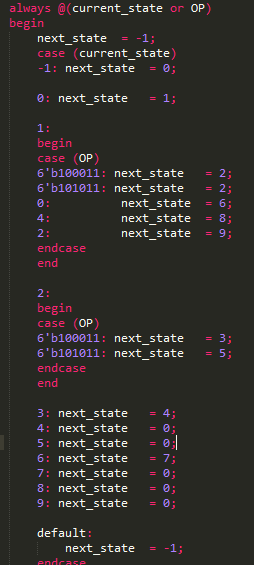


Figure 3 : FSM – 상태변화

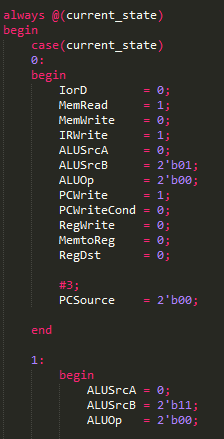


Figure 4 : FSM - 상태에 따른 행동(후략)

* + 1. ACU

OPCode와 Funct를 가지고 ALU를 Control하는 Signal을 만들어줍니다.

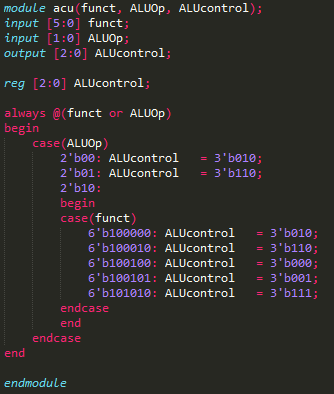


Figure 5 : ACU

1. 결과 분석
   1. FSM

Current State와 Next State가 PT에 나온 FSM처럼 동작함을 확인할 수 있습니다.

* 1. Register

LW R2, 90(R10) : 

LW R3, 94(R10) : 

SUB R4, R2, R3 : 

ADD R5, R10, R12 : 

ADD R6, R9, R13 : 

* 1. Memory

SW R4, 90(R10) : 

이외에도 BEQ와 J 도 정상적으로 동작하여, $2값과 $4값, 25번째 word위치의 메모리 값도 계속 바뀜을 확인할 수 있습니다.